郑州轻工业大学

**实验报告**

**课程名称：** FPGA系统设计

**姓 名：** 原彬贺

**院 （系）：** 计算机与通信工程学院

**专业班级：** 计算机科学与技术2002

**学 号：** 542001020223

**指导教师：** 耿鑫

**成 绩：**

**时间：** 2022 **年** 6 **月** 17 **日**

目　　录

1任务与要求………………………………………………………… ……………… 1

2实验内容………………………………………………………… ……………… 1

3实验过程和结果………………………………………………………… ……………… 4

4. 总结和体会

# 设计任务和要求

**任务**：完成基于Verilog的101序列检测器的设计。

**要求**：Verilog语言编写程序，实现输入序列101检测功能功能，具有清零控制和检测功能。

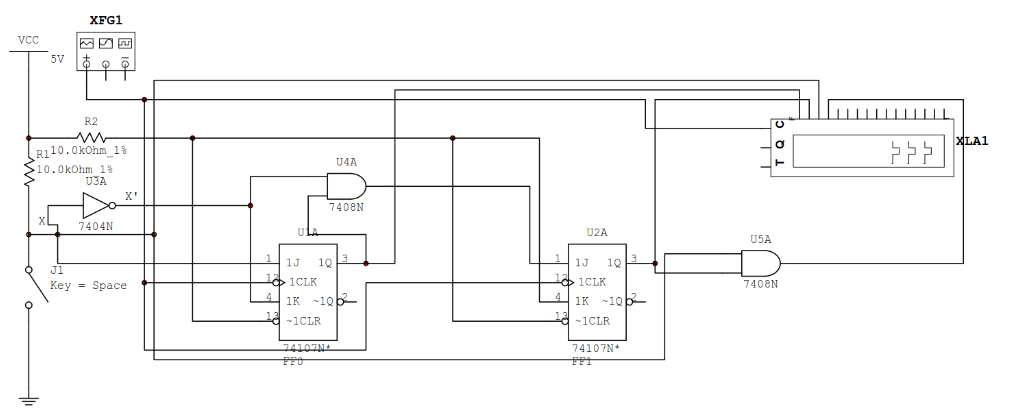
# 实验内容

* 1. 掌握利用状态机设计时序逻辑电路的功能，理解Verilog语言实现状态机设计的方法；
  2. 使用Verilog语言编程，实现101序列检测的功能；
  3. 编写testbench文件，用Multisim仿真，输出波形图，并验证实验结果。

## 3 实验过程及结果

在QUARTUSII环境下，进行Verilog程序设计，完成101序列检测，观察生成的RTL流图。

### 3.101序列检测的原理



### 3.2 Verilog语言实现101序列检测的代码设计

module encode(incode,outcode);

input[7:0]incode; output[2:0]outcode;

reg[2:0]outcode;

always@(incode)

begin

case(incode)

8'b10000000: outcode=3'b000;

8'b01000000: outcode=3'b001;

8'b00100000: outcode=3'b010;

8'b00010000: outcode=3'b011;

8'b00001000: outcode=3'b100;

8'b00000100: outcode=3'b101;

8'b00000010: outcode=3'b110;

8'b00000001: outcode=3'b111;

endcase end endmodule

module hardreg(d,cp,rd,q);

input cp,rd; input[3:0] d;

output[3:0] q;

reg[3:0] q;

always@(posedge cp or posedge rd)

begin

if(rd)

q<=0;

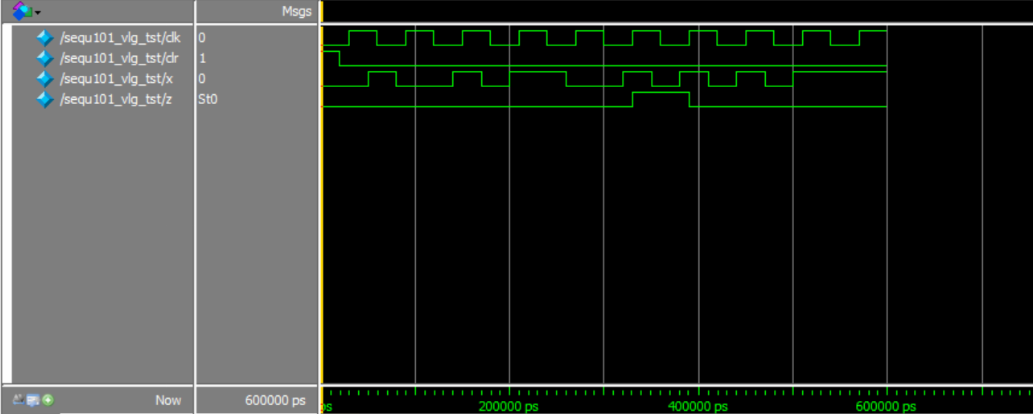
else

q<=d;

end

endmodule

3.3 实验结果分析（包括编译、波形仿真等）



# 4实验总结和心得

本次实验主要内容是101序列检测实验，要求我们掌握利用状态机设计时序逻辑电路的功能，理解Verilog语言实现状态机设计的方法，能够使用Verilog语言编程，实现101序列检测的功能，编写testbench文件，用Multisim仿真，输出波形图，验证实验结果。本次实验重要的是实验思路，如何能够实现检验，以及如何将检验结果体现出来，都是在实验中应该着重要考虑的问题，实验过程也考验了我们动手写代码的能力，我们要培养的就是在实验过程中遇到困难刻苦钻研的精神。